



Kolloquium zur Bachelorarbeit

Paulius Jonusas

„Design und Implementierung einer skalierbaren Floating-Point-Arithmetik für Ressourcen-beschränkte FPGA“

Für wissenschaftliche Berechnungen und Simulation ist das Floating-Point Zahlenformat eine wichtige Grundlage. Standardmäßig unterstützen allerdings FPGAs nicht direkt Floating-Point Berechnungen. Diese Arbeit soll eine Floating-Point Implementation in VHDL für ein FPGA der Familie Artix7 von Xilinx durchführen und für verschiedene arithmetischen Operationen (Addition, Subtraktion und Multiplikation) den benötigten Flächenbedarf ermitteln. Dafür wird eine bereits veröffentlichte Bibliothek verwendet, mit ModelSim in der Simulation getestet und nachfolgend die Implementierung mithilfe der Softwareumgebung Vivado durchgeführt. Die Ergebnisse verschiedener Konfigurationen mit 16, 24 und 32 Bit Floating-Point Formaten werden mit den von Vivado zur Verfügung gestellten IP-Cores verglichen. Die Arbeit kommt zu dem Ergebnis, dass die gewählten Bibliotheksmodule für alle getesteten Bitbreiten auf dem Artix7 implementierbar sind, der Ressourcenbedarf liegt in allen Konfigurationen im einstelligen Prozentbereich oder niedriger bei Rechenzeiten unter 100 ns. Bei der Addition ist die Flächennutzung der IP-Cores zu der Bibliothek vergleichbar, bei der Multiplikation erzielt das Floating-Point Operator v7.1 IP Core deutlich bessere Ergebnisse. Die Nutzung und Kombination der verwendeten Floating-Point Bibliothek sowie der IP-Cores eröffnet verschiedene Möglichkeiten für die Abwägung von Rechengeschwindigkeit, Flächennutzung und Funktionsumfang.

Donnerstag, 29.04.2021, 11:30 Uhr

Videokonferenz: BBB <https://webconf.tu-clausthal.de/b/chr-6f2-643>